



DSP Processors

摘要

单个位硬错误和软错误均会导致意外的系统行为甚至系统崩溃，而 KeyStone 器件中的错误检测和校正将提高系统的稳定性和可靠性。本应用报告重点介绍了如何在 KeyStone 器件上为 L1、L2、MSMC 和 DDR 存储器实现 ECC。

内容

1 引言.....	1
2 KeyStone 错误检测和校正 - EDC 和错误校正码 - ECC.....	2
3 参考文献.....	3
4 修订历史记录.....	3
A KeyStone DSP 存储器中的单错校正双错检测 (SECEDED) 覆盖.....	4

表格清单

表 2-1. Arm-A15 错误检测和校正 (ECC) KeyStone 支持.....	3
表 A-1. KeyStone DSP 存储器中的 SECEDED 覆盖.....	4

商标

Arm® are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

所有商标均为其各自所有者的财产。

1 引言

数字数据是用包含 1 和 0 的二进制表示的数据。单个位错误是指一个比特的电荷发生变化：从 0 变为 1 时，反之亦然。产生单个位错误的主要原因有两个：硬错误或软错误。单个位硬错误是由物理因素引起的，如温度或功率变化，以及对硬件的压力。单个位软错误是由某些难以观察的因素引起的，如磁干扰甚至宇宙射线。翻转的位错误可能会对重要数据产生严重影响：它可能会导致相当意外的系统行为，甚至系统崩溃。这就是错误校正码 (ECC) 的应用领域。ECC 通过自动检测和校正存储器错误来防止数据损坏，因此广泛应用于网络基础设施、关键任务、航空航天和国防或其他具有高价值数据的关键系统。采用 ECC 实现方案的系统通常比标准 RAM 更稳定可靠。

2 KeyStone 错误检测和校正 - EDC 和错误校正码 - ECC

为避免终端系统发生故障，很多应用对检测处理器的存储器系统故障有非常严格的要求，否则会使最终用户面临严重情况，或导致对终端系统的可用性要求更严苛。这里有很多原因会导致处理器的存储器出现故障，其中一些会导致永久性故障，另一些则会导致瞬态故障。

在系统运行时检测瞬态故障对于关键应用非常重要。虽然检测永久性故障同样重要，但其发生的可能性通常明显低于瞬态故障。在很多情况下，可通过在应用启动或关闭时运行适当的测试算法来检测永久性故障。瞬态故障主要由软错误引起，其中主要源于芯片封装材料的 α 辐射或来自宇宙射线的中子粒子，它们会导致存储器中发生位翻转或触发器状态改变。

KeyStone 架构提供了多种机制来检测此类故障，并在特定情况下可校正某些故障。

2.1 KeyStone 错误检测和校正 - EDC

2.1.1 C66x L1P - EDC 实现

L1P 错误检测逻辑可检测到在 L1P RAM 或 L1P 缓存中命中访问的单个位错误。在启用错误检测逻辑后，所有 64 位 DMA 写入都将更新并存储奇偶校验和有效位。小于 64 位的写入（或）非对齐写入将更新奇偶校验 RAM，从而指示“无效奇偶校验”。L1P 检查针对 L1P 上每个程序获取行为的奇偶校验，因为所有程序获取行为均为 256 位对齐。对于 DMA/IDMA 对 L1P 存储器的读访问，仅在数据大小至少为 64 位宽或 64 位宽的倍数时进行奇偶校验。

有关在 KeyStone 器件上对 L1P 执行 EDC 的完整详细信息，请参阅 [《TMS320C66x DSP CorePac 用户指南》](#)。

2.1.2 C66x L1D

未在 L1D SRAM/缓存中实施错误检测或校正。L1D 通常均为缓存，存储器通常是临时的，在极少数可能发生位翻转的情况下，一般不会导致系统崩溃。

2.1.3 C66x L2 - EDC 实现

L2 存储器控制器为 EDC 提供海明码，该海明码能够检测双位错误并校正每个 128 位字中的单个位错误。L2 RAM 和 L2 缓存访问均支持 EDC。无论 EDC 逻辑是启用还是禁用，对 L2 存储器的所有 128 位写入都会更新 L2 RAM 中存储的奇偶校验和有效位。无论是从 L1P、L1D、IDMA 还是 DMA 获取，L2 存储器控制器总是对 L2 的 128 位读取情况执行完整的海明码校验。无论 EDC 是启用还是禁用，写入小于 128 位的内容将更新 L2 中的奇偶校验 RAM，从而指示无效奇偶校验，并将奇偶校验值归零。启用 EDC 逻辑后，将对所有 128 位读取情况进行奇偶校验。L2 存储器控制器同时将 EDC 应用于 L2 受扰对象。L1D 缓存对所有 L2 数据的获取行为执行错误检测，但不执行错误校正。

有关 KeyStone 器件上 L1P 中 EDC 实现的完整详细信息，请参阅 [《TMS320C66x DSP CorePac 用户指南》](#)。

2.2 KeyStone MSMC RAM - EDC 实现

MSMC 具有错误检测和校正硬件，保护 MSMC 存储器的内容不受瞬态（软）错误导致的损坏。所提供的保护级别和使用的方案与 C66x CorePacs 相同（即，一位错误校正，两位错误检测，奇偶校验码基于 256 位数据计算）。

MSMC-EDC 硬件还提供了一个清理引擎，该引擎周期性地遍历 MSMC 中每个存储器库的每个位置，读取和校正数据，重新计算数据的奇偶校验位，并存储数据和奇偶校验信息。每一个“清理周期”均由一系列对存储器库进行的读-改-写“密集清理”操作组成。

有关 MSMC 中 EDC 实现的完整详细信息，请参阅 [《KeyStone II 架构多核共享存储器控制器 \(MSMC\) 用户指南》](#) 和 [《KeyStone II 架构多核共享存储器控制器 \(MSMC\) 用户指南》](#)。

2.3 KeyStone DDR3 错误校正码 - ECC

为了保护数据完整性，DDR3 存储器控制器支持对存储器中 ECC 保护地址范围内写入或读取的数据进行 ECC。8 位 ECC 是基于 64 位数据量计算的，并对该数据量进行单错校正双错检测 (SECEDED)。系统必须确保从 ECC 保护区域发起的任何突发访问均不能跨越至未保护区域，反之亦然。

EMIF 中使用的 ECC 算法是行业标准的海明码 (72,64) SECEDED 算法。

有关 MSMC 中 EDC 实现的完整详细信息，请参阅《[KeyStone II 架构多核共享存储器控制器 \(MSMC\) 用户指南](#)》和《[KeyStone II 架构多核共享存储器控制器 \(MSMC\) 用户指南](#)》。

2.4 Arm®-A15 错误检测和校正 (ECC) KeyStone 支持

表 2-1. Arm-A15 错误检测和校正 (ECC) KeyStone 支持

存储器	保护	说明
L1 数据 RAM	ECC (每 32 位)	1 位逐出校正行至 L2，视为 L1D 未命中，并从 L2 重新获取；2 位检测
L2 数据 RAM	ECC (每 64 位)	1 位内联校正至读卡器和逐出 (已校正)；2 位检测
L1 指令数据 RAM	奇偶校验 (每 16 位)	1 位检测、失效并视为缓存未命中 (从 L2/DDR 获取)
L1 指令标签 RAM	奇偶校验	1 位检测并视为缓存未命中 (从 L2/DDR 获取)
L1 指令 BTB RAM	奇偶校验	1 位检测并视为分支预测器未命中
L1 指令 GHB RAM	无	错误似乎表明预取了错误的地址，实际上是预测器未命中
L1 指令间接预测器 RAM	无	错误似乎表明预取了错误的地址，实际上是预测器未命中
L1 数据标签 RAM	ECC	1 位逐出校正行至 L2，视为 L1D 未命中，并从 L2 重新获取；2 位检测
L2 TLB RAM	奇偶校验	TLB 条目无效，触发页面遍历
L2 标签 RAM	ECC	1 位校正 (根据读操作校正写操作)，重放查找；2 位检测
L2 侦听标签 RAM	ECC	1 位校正 (根据读操作校正写操作)，重放查找；2 位检测
L2 脏 RAM	ECC	1 位逐出缓存行至 DDR，重放加载；2 位检测
L2 预取 RAM	奇偶校验	1 位无效行

有关 Arm A15 实现的完整详细信息，请参阅器件特定的《Arm 技术参考手册》。

3 参考文献

- 德州仪器 (TI)： [TMS320C66x DSP CorePac 用户指南](#)
- 德州仪器 (TI)： [KeyStone 架构多核共享存储器控制器 \(MSMC\) 用户指南](#)
- 德州仪器 (TI)： [KeyStone II 架构多核共享存储器控制器 \(MSMC\) 用户指南](#)
- 德州仪器 (TI)： [KeyStone 架构 DDR3 存储器控制器用户指南](#)
- 德州仪器 (TI)： [KeyStone II 架构 DDR3 存储器控制器用户指南](#)
- 德州仪器 (TI)： [电子产品辐射手册](#)

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (February 2020) to Revision A (June 2021)	Page
更新了整个文档中的表格、图和交叉参考的编号格式。.....	1

A KeyStone DSP 存储器中的单错校正双错检测 (SECEDED) 覆盖

A.1 KeyStone DSP 存储器中的 SECEDED 覆盖

表 A-1. KeyStone DSP 存储器中的 SECEDED 覆盖

器件存储器	C665x	C667x	66AK2K	66AK2H	66AK2L	66AK2E	66AK2G
ARM L1P	不适用	不适用	奇偶校验	奇偶校验	奇偶校验	奇偶校验	奇偶校验
ARM L1D	不适用	不适用	ECC	ECC	ECC	ECC	ECC
ARM L2 缓存	不适用	不适用	ECC	ECC	ECC	ECC	ECC
片上 SRAM (OCMC/MSMC)	ECC	ECC	ECC	ECC	ECC	ECC	ECC
PRU ICSS RAM	不适用	不适用	不适用	不适用	不适用	不适用	ECC
DSP L1P 缓存	奇偶校验	奇偶校验	奇偶校验	奇偶校验	奇偶校验	奇偶校验	奇偶校验
DSP L1D 缓存	否	否	否	否	否	否	ECC
DSP L2 缓存	ECC	ECC	ECC	ECC	ECC	ECC	ECC
通用存储器控制器 (GPMC) - NAND	ECC	ECC	ECC	ECC	ECC	ECC	ECC
外部 DRAM 控制器 1 (EMIF1)	ECC	ECC	ECC	ECC	ECC	ECC	ECC
外部 DRAM 控制器 2 (EMIF2)	不适用	不适用	ECC	ECC	不适用	不适用	不适用

重要声明和免责声明

TI 提供技术和可靠性数据 (包括数据表) 、设计资源 (包括参考设计) 、应用或其他设计建议、网络工具、安全信息和其他资源, 不保证没有瑕疵且不做任何明示或暗示的担保, 包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任: (1) 针对您的应用选择合适的 TI 产品, (2) 设计、验证并测试您的应用, (3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。这些资源如有变更, 恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务, TI 对此概不负责。

TI 提供的产品受 TI 的销售条款 (<https://www.ti.com/legal/termsofsale.html>) 或 [ti.com](https://www.ti.com) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

邮寄地址: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2021, 德州仪器 (TI) 公司

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2022，德州仪器 (TI) 公司